

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-095865

(43)Date of publication of application : 12.04.1996

(51)Int.Cl.

G06F 12/14

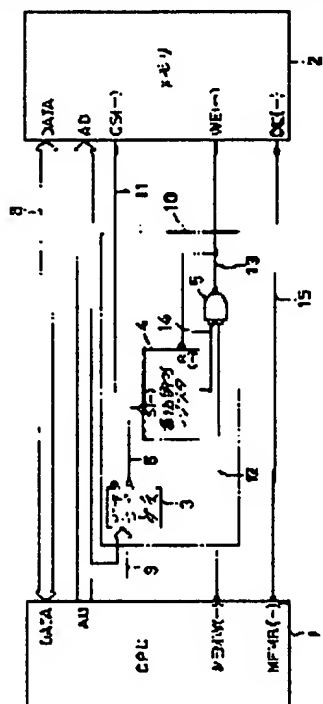
(21)Application number : 06-229337

(71)Applicant : NEC ENG LTD

(22)Date of filing : 26.09.1994

(72)Inventor : TANAKA HIROMASA

(54) MISWRITING PREVENTING DEVICE



(57)Abstract:

PURPOSE: To prevent a memory from being miswritten owing to a-noise, etc.

CONSTITUTION: When an address from a CPU 1 indicates a specific value, the memory 2 is allowed to be written and only in this writing-enabled state, the memory 2 is written. The specific value is a free address value which is not present in the address space of the memory 2. Consequently, miswriting is prevented through two steps, i.e., a 1st step wherein a write-enable register 4 is set according to the result obtained by decoding the address value by a decoder and a 2nd step wherein the memory 2 is allowed to be written with the output of an AND circuit 5, so the writing-enabled state is not easily entered and miswriting due to noise, etc., is seldom caused.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成8年(1996)4月12日

技術表示箇所

審査請求 未請求 請求項の数4 OL (全 6 頁)

(74)代理人 弁護士 京本 直樹 (外2名)

The diagram illustrates a data transfer system between a CPU and a memory unit. The CPU (bottom) and Memory Unit (top) are connected via several lines: DATA, AD, MEMDATA, and MEMENP. The CPU's internal components include a CPU bus (1), CPU decoder (2), CPU control logic (3), CPU data bus (4), CPU address bus (5), CPU data bus (6), CPU address bus (7), CPU control logic (8), CPU decoder (9), CPU bus (10), CPU decoder (11), CPU control logic (12), CPU data bus (13), CPU address bus (14), CPU data bus (15), and CPU address bus (16). The Memory Unit's internal components include a memory bus (17), memory decoder (18), memory control logic (19), memory data bus (20), memory address bus (21), memory data bus (22), memory address bus (23), memory control logic (24), memory decoder (25), memory bus (26), memory decoder (27), memory control logic (28), memory data bus (29), memory address bus (30), memory data bus (31), and memory address bus (32).

【特許請求の範囲】

【請求項1】 メモリについてのアドレス値が所定の値を示したとき前記メモリの書込を許可する書込許可手段を含み、この書込許可状態のときにのみ前記メモリの書込を行うようにしたことを特徴とする誤書込み防止装置。

【請求項2】 前記所定の値は、前記メモリによるアドレス空間に存在しない空きアドレス値であることを特徴とする請求項1記載の誤書込み防止装置。

【請求項3】 前記書込許可手段は、前記アドレス値をデコードするデコーダと、このデコード結果を保持する保持回路とを含み、この保持回路の保持内容に応じて前記メモリの書込を許可することを特徴とする請求項1又は2記載の誤書込み防止装置。

【請求項4】 前記保持回路は、前記メモリの書込が行われたときにその保持内容がリセットされることを特徴とする請求項3記載の誤書込み防止装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は誤書込み防止装置に関し、特にEEPROM (Electrically Erasable Programmable Read Only Memory) やNVRAM (Non-Volatile Random Access Memory) について誤書込みを防止する装置に関する。

【0002】

【従来の技術】 一般に、メモリはライトイネーブル信号、チップセレクト信号、アウトプットイネーブル信号、アドレス信号等の制御信号によりデータが書込まれる。すなわち、図3に示されているように、CPU1にはデータ端子DATA、アドレス端子AD、メモリライト端子MEMW (ー) 及びメモリリード端子MEMR (ー) が設けられている。また、NVRAM等のメモリ2にはデータ端子DATA、アドレス端子AD、チップセレクト端子SC (ー)、ライトイネーブル端子WE、アウトプットイネーブル端子OE (ー) とが設けられている。なお、(ー)はその信号が負論理信号であることを示すものとし、以下の説明においても同様とする。

【0003】 かかる構成において、CPU1のアドレス端子から送出されるアドレス信号9はアドレスデコーダ7でデコードされてチップセレクト信号11となり、メモリ2が選択される。そして、メモリ2に書込信号12が入力されアドレス信号9により示されたアドレスにデータ8が書込まれる。CPU1のメモリリード端子(MEMR) から読出信号15が送出された場合は、アドレス信号9により示されたアドレスからデータが読出される。

【0004】 すなわち、CPU1からアドレス信号9と書込信号12が所定のタイミングで出力され、このアドレスによってアドレスデコーダ7から出力されたチップ

セレクト信号11により、特定のメモリ領域を選択することでデータ8がメモリ2に書込まれるのである。

【0005】 ところで、かかる構成においてチップセレクト信号11がノイズ等によってイネーブル状態になると、誤ってデータが書込まれてしまう場合があった。

【0006】 この不都合を解決する公知技術として、特開平4-274539号公報がある。これについて、図面を参照して説明する。図4は同公報に記載されている誤書込み防止装置の構成を示すブロック図であり、図3と同等部分は同一符号により示されている。

【0007】 図に示されている誤書込み防止装置は、CPU1からのデータが特定の値になったときにフリップフロップ40をセットし、これによりアンド回路5の出力でメモリ2を書込許可状態にするのである。つまり、フリップフロップ40をセットする第1のステップと、アンド回路5の出力でメモリ2を書込許可状態にするという第2のステップとの2つのステップにより誤書込みを防止しているのである。かかる構成によれば、容易には書込許可状態にならないため、ノイズによって誤書込みされることは極めて少ない。

【0008】

【発明が解決しようとする課題】 上述した公知技術によれば、CPU1からのデータが特定の値になったときに書込みを許可している。そのため、CPUはメモリを書込む時以外の時にその特定のデータを出力することができない。したがって、CPUの出力するデータが制限を受けるという欠点がある。

【0009】 本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的はCPUの出力するデータが制限を受けることのない誤書込み防止装置を提供することである。

【0010】

【課題を解決するための手段】 本発明による誤書込み防止装置は、メモリについてのアドレス値が所定の値を示したとき前記メモリの書込を許可する書込許可手段を含み、この書込許可状態のときにのみ前記メモリの書込を行うようにしたことを特徴とする。

【0011】

【作用】 メモリについてのアドレス値が所定の値を示したときそのメモリの書込を許可し、この書込許可状態のときにのみメモリの書込を行うようにする。その所定の値は、そのメモリによるアドレス空間に存在しない空きアドレス値とする。

【0012】

【実施例】 次に、本発明について図面を参照して説明する。

【0013】 図1は本発明による誤書込み防止装置の一実施例の構成を示すブロック図であり、図3及び図4と同等部分は同一符号により示されている。本例の装置が図4の装置と異なる点は、データではなくアドレス値が

予め定められた値を示したときにメモリの書込を許可する点である。これにより、CPUの出力するデータが制限を受けることがないのである。以下、詳細に説明する。

【0014】図において、アドレスデコーダ3はCPU1からのアドレス信号をデコードするものであり、アドレス信号が予め定められた値になったとき書込許可レジスタセット信号6をイネーブル状態にし、それ以外の値の時にはチップセレクト信号11をイネーブル状態にするものである。

【0015】書込許可レジスタ4は、書込許可レジスタセット信号6がイネーブル状態になったときにセットされるものであり、その出力である書込許可信号14はアンド回路5の入力の一方向に入力される。このレジスタ4は、例えばRS型フリップフロップやD型フリップフロップにより構成される。なお、図中のS(—)はセット端子、R(—)はリセット端子である。

【0016】アンド回路5は、その2つの入力信号が共にイネーブル状態になったときにオン状態となり、ライトイネーブル信号13を送出するものである。また、ライトイネーブル信号13は、書込許可レジスタ4のリセット端子R(—)にも入力され、これによってレジスタ4はリセット状態になる。

【0017】かかる構成において、CPU1からデータ8をメモリ2に書込む場合、CPU1からアドレス信号9とメモリ書込信号12を所定のタイミングで出力させつつ、アドレス信号9を受けてアドレスデコーダ3からの書込レジスタセット信号6が書込許可レジスタ4に保持されることにより、イネーブル状態になった書込許可信号14がアンド回路5に入力される。アンド回路5は書込許可信号14が入力されるとオン状態となり、誤書込防止回路10はメモリ2へのデータ書込みを許可する状態になる。

【0018】アドレス信号9とメモリ書込信号12とがCPU1から出力されると、アドレスデコーダ3からのチップセレクト信号11によりメモリ2の所定領域が選択される。それと共に、メモリ書込信号12はアンド回路5を通過し、ライトイネーブル信号13としてメモリ2に入力されて指定された領域にデータ8が書込まれる。

【0019】ライトイネーブル信号13は書込許可状態でもメモリライト動作が実行されたときのみ有効になる。また、ライトイネーブル信号13がイネーブル状態になると、書込許可レジスタ4はリセットされる。書込許可レジスタ4がリセットされれば、書込許可信号14はディセーブル状態になり、アンド回路5をオフ状態にする。これにより、書込許可状態が解除され、書込禁止状態になる。

【0020】次に、以上の動作について図2を参照して説明する。図2は図1の各部の動作を示すタイムチャー

トであり、図1と同等部分は同一符号により示されている。

【0021】図においては、アドレス信号9、書込許可レジスタセット信号6、チップセレクト信号11、書込信号12、書込許可信号14、ライトイネーブル信号13及びデータ8とが示されている。

【0022】図に示されているように本例の装置では、CPUの2マシンサイクルに対応する2つのライト動作期間C1及びC2によりメモリに対する書込みが行われるのであり、C3が書込許可状態の期間である。

【0023】まず、ライト動作期間C1において、アドレス信号9によるアドレス値が予め定められた値を示したとき、アドレスデコーダ3からの書込許可レジスタセット信号6がイネーブル状態になる。

【0024】次に、書込許可レジスタセット信号6がイネーブル状態になったことで、ライト動作期間C2において、書込許可レジスタ4がセット状態になる。すると、書込許可信号14がイネーブル状態になりアンド回路5に入力される。アンド回路5は書込許可信号14が入力されるとオン状態となり、ライトイネーブル信号13がイネーブル状態になる。これにより、メモリ2へのデータ書込みが可能になる。この状態が書込許可状態の期間C3であり、アドレス信号9により指定されたアドレスに、データ8がメモリに書込まれる。

【0025】ライトイネーブル信号13がイネーブル状態になったため、書込許可レジスタ4がリセット状態になる。よって、時刻T1において書込許可信号14及びライトイネーブル信号13がディセーブル状態になり、書込許可状態が解除される。このように、書込許可レジスタ4がすぐにリセットされるため、確実に誤書込みが防止できる。再度メモリ2の書込みを行いたい場合は、以上と同じ動作を繰返せば良い。

【0026】以上の動作において、書込信号12はライト動作期間C1及びC2を通してイネーブル状態になっている。つまり、CPUの2マシンサイクルの間、書込信号12はイネーブル状態のままである。よって、CPUからみれば、書込許可レジスタ4をセットする第1のステップと、アンド回路5の出力でメモリ2を書込許可状態にするという第2のステップとの2つのステップにより誤書込みを防止しているのである。かかる構成によれば容易には書込許可状態にならないため、ノイズによって誤書込みされることは極めて少ないのである。

【0027】しかも、データではなく、アドレスが予め定められた値になったときのみ書込を許可しているため、CPUの出力するデータが制限を受けることはないのである。

【0028】ここで、予め定められたアドレスの値は、メモリ2によるアドレス空間に存在しない空きアドレス値にすれば良い。すなわち、本来存在しないアドレス値にすれば良い。そして、例えばアドレスデコーダ3の出

10

20

30

40

50

力の下位ビット側をチップセレクト信号11用に、上位ビット側を書込許可レジスタセット信号6に夫々割当て、下位ビット側をユーザに使用させ、上位ビット側はメーカーのみが使用すれば良い。

【0029】かかる構成によれば、メーカーにおいて装置出荷前に不揮発性メモリに書込んでおいたデータを、出荷後にユーザが誤って書き替えてしまうことを防止できる。また、揮発性メモリについても、24時間電源オンの状態で使用される装置においてメーカー側がメモリに書込んだデータをユーザが誤って書き替えてしまうことを防止できる。

【0030】つまり、メーカー側が使用できるメモリ空間とユーザ側が使用できるメモリ空間とを区分けしておき、メーカー側が使用できるメモリ空間にのみ本発明を適用すれば、その空間に書込まれたデータが破壊されることがなくなるのである。

【0031】

【発明の効果】以上説明したように本発明は、メモリについてのアドレス値が所定の値を示したときにのみ書込を許可することにより、CPUの出力するデータが制限を受けることなく誤書き込みを防止することができるという効果がある。

*【図面の簡単な説明】

【図1】本発明の実施例による誤書き込み防止装置の構成を示すブロック図である。

【図2】図1の誤書き込み防止装置の動作を示すタイムチャートである。

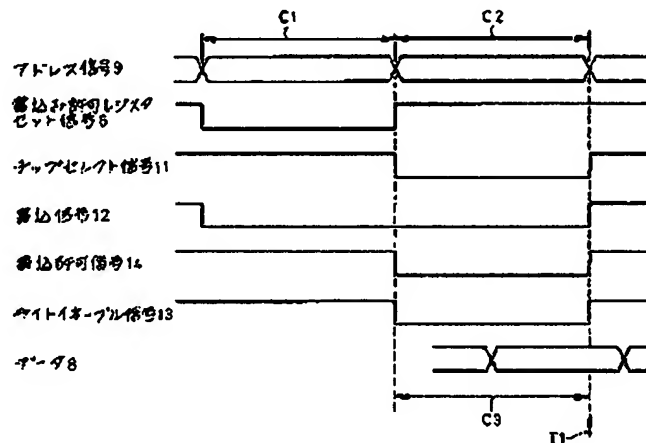
【図3】メモリとCPUとの一般的な関係を示すブロック図である。

【図4】従来の誤書き込み防止装置の構成を示すブロック図である。

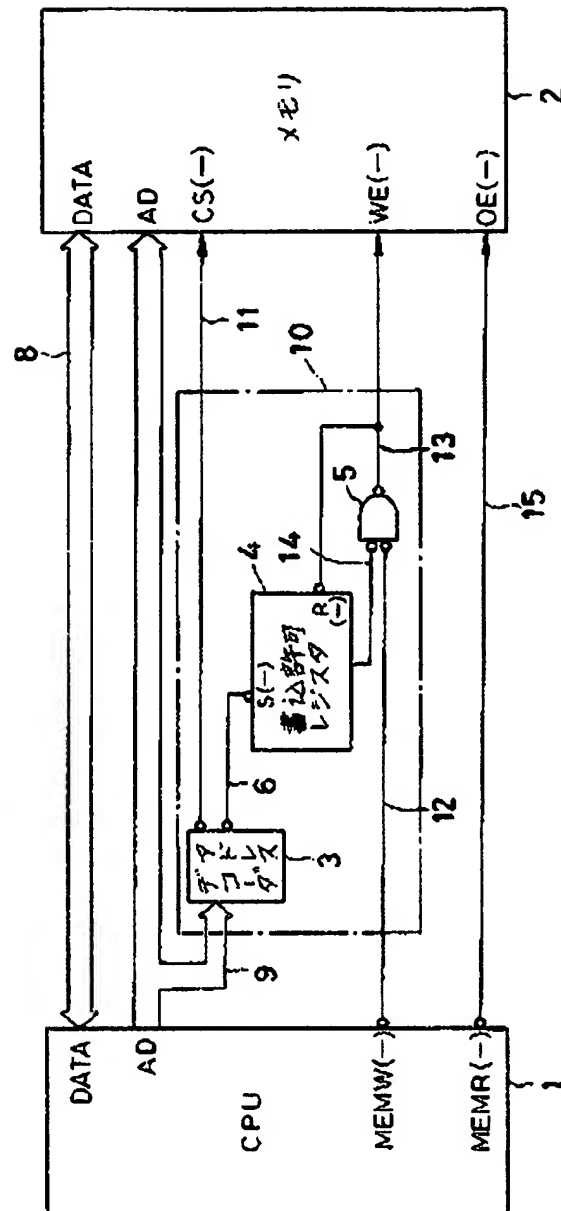
【符号の説明】

- 1 CPU
- 2 メモリ
- 3 アドレスデコーダ
- 4 書込許可レジスタ
- 5 アンド回路
- 6 書込許可レジスタセット信号
- 8 データ
- 9 アドレス信号
- 11 チップセレクト信号
- 12 書込信号
- 13 ライトイネーブル信号
- 14 書込許可信号

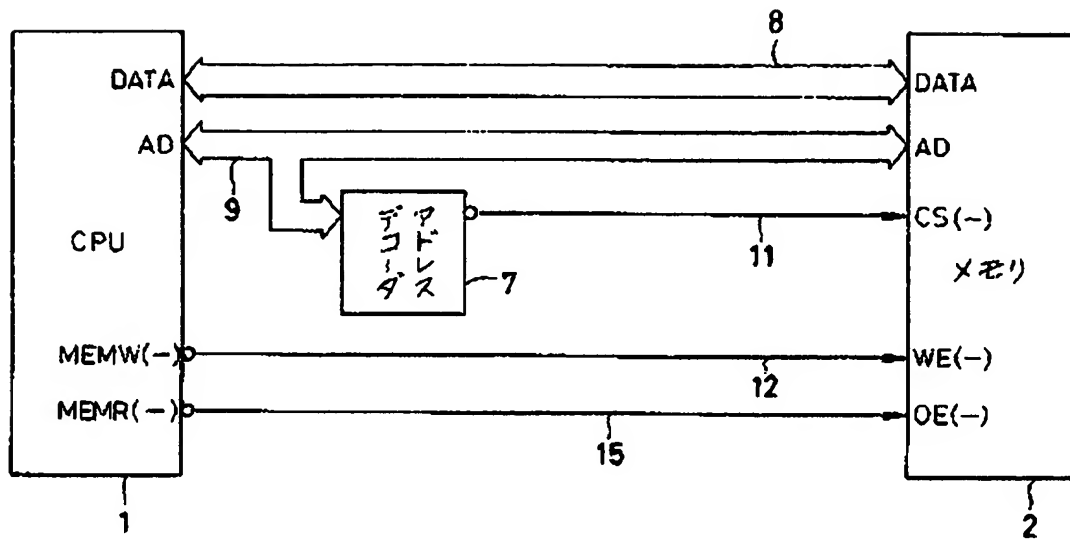
【図2】



【図1】



【図3】



【図4】

